

Contacting electric component at its rear side

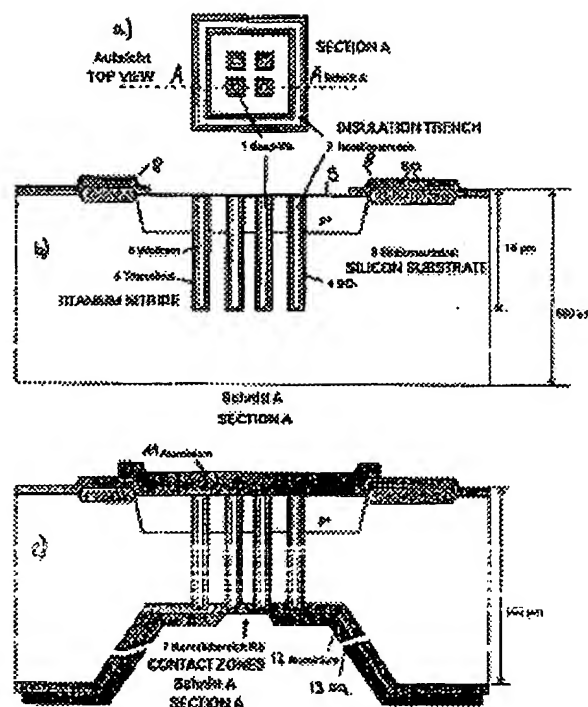
Patent number:	DE19816245
Publication date:	1999-10-21
Inventor:	KLUMPP ARMIN [DE]
Applicant:	FRAUNHOFER GES FORSCHUNG [DE]
Classification:	
- international:	H01L21/60; H05K3/32
- european:	H01L23/48J
Application number:	DE1981016245 19980411
Priority number(s):	DE1981016245 19980411

Also published as:

WO9956315 (A1)
EP1078397 (A1)

Abstract of DE19816245

In the semiconductor substrate are formed contact bores filled with electrically conductive material, with the bores insulated from the substrate, but are conductively coupled to the component. On the rear side of the substrate are formed contacts in electric contact with the contact bores. The formation of contact bores comprises lithographic defining and plasma etching of the contact bores. Typically the contact bores are filled with tungsten or copper. In the contact bores is deposited an insulating SiO₂ film and an adhesive layer for the conductive material.





19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 198 16 245 A 1

51 Int. Cl.⁶
H 01 L 21/60
H 05 K 3/32

21 Aktenzeichen: 198 16 245.6
22 Anmeldetag: 11. 4. 98
43 Offenlegungstag: 21. 10. 99

DE 198 16 245 A 1

71 Anmelder:
Fraunhofer-Gesellschaft zur Förderung der
angewandten Forschung e.V., 80636 München, DE

72 Erfinder:
Klumpp, Armin, Dr. Dipl.-Phys., 80337 München, DE
66 Entgegenhaltungen:
DE 44 30 812 C1

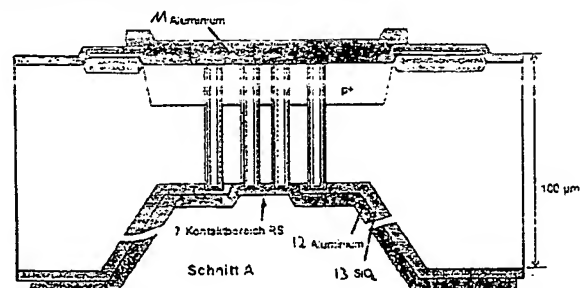
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zur Kontaktierung eines elektrischen Bauelements und elektrisches Bauelement

57 Die vorliegende Erfindung betrifft ein Verfahren zur Kontaktierung eines elektrischen Bauelements mittels Rückseitenkontakten sowie ein elektrisches Bauelement mit mindestens einem Rückseitenkontakt, der durch dieses Verfahren hergestellt ist.
Derartige Rückseitenkontakte sind bei Bauelementen vorteilhaft, bei denen eine weitgehend planare und bündige Oberfläche ohne Bonddrähte im Oberflächenbereich erforderlich ist. Mögliche Anwendungsbereiche sind Detektoranordnungen, bei denen derartige Bonddrähte zu Abschattungseffekten führen würden, oder ISFETs (ionenselektive Feldeffekttransistoren), bei denen man beispielsweise die Oberfläche mit leicht reißenden Membranen oder Dünnschichten von organischem Gewebe belegen möchte und entsprechend eine planare und bündige Oberfläche benötigt.

Das erfindungsgemäße Verfahren zur Kontaktierung eines elektrischen Bauelements umfaßt die Schritte zum Bereitstellen eines vollständig prozessierten Bauelements ohne Anschlußmetallisierung auf einem Halbleiter-Substrat, Ausbilden von mit elektrisch leitendem Material gefüllten Kontaktlöchern in dem Halbleiter-Substrat, welche gegenüber dem Halbleiter-Substrat elektrisch isoliert sind und mit dem Bauelement elektrisch leitend verbunden sind, und Bereitstellen von Rückseitenkontakten auf der Rückseite des Halbleiter-Substrats, die in elektrischem Kontakt mit den Kontaktlöchern stehen.



DE 198 16 245 A 1

Die vorliegende Erfindung betrifft ein Verfahren zur Kontaktierung eines elektrischen Bauelements mittels Rückseitenkontakten sowie ein elektrisches Bauelement mit mindestens einem Rückseitenkontakt, der durch dieses Verfahren hergestellt ist.

Im allgemeinen sind Rückseitenkontakte bei Bauelementen erwünscht, bei denen eine weitgehend planare und bündige Oberfläche ohne Bonddrähte im Oberflächenbereich erforderlich ist. Mögliche Anwendungsbereiche sind Detektoranordnungen, bei denen derartige Bonddrähte zu Abschattungseffekten führen würden, oder ISFETs (ionensensitive Feldeffekttransistoren), bei denen man beispielsweise die Oberfläche mit leicht reißenden Membranen oder Dünnschnitten von organischem Gewebe belegen möchte und entsprechend eine planare und bündige Oberfläche benötigt.

Des weiteren sind im Bereich der mikromechanischen Bauelemente Rückseitenkontakte vorteilhaft, da hier die Montage vereinfacht erfolgen kann, wenn keinerlei Bonddrähte an der Oberfläche der Bauelemente zu berücksichtigen sind.

Ein Verfahren mit den Merkmalen des Oberbegriffs von Patentanspruch 1 ist aus der deutschen Patentschrift DE 44 30 812 C1 bekannt. In dieser Patentschrift wird ein Verfahren zum Herstellen eines ionensensitiven Feldeffekttransistors mit Rückseitenkontakt beschrieben. Die Herstellung der Rückseitenkontakte erfolgt nach Bereitstellung des vollständig prozessierten Bauelements ohne Anschlußmetallisierung durch einen Schritt zum anisotropen Ätzen von V-förmigen Gräben von der Rückseite des Substrats her an den Kontaktbereichen, einen Schritt zur Rückseitenkontaktimplantation mit beispielsweise Phosphor-Ionen, die einerseits den Anschluß der Source/Drain-Gebiete zur Rückseite sowie andererseits die elektrische Isolation durch Ausbildung von pn-Übergängen gegenüber dem Substrat ermöglicht und den Schritt zum strukturierten Aufbringen einer Metallisierungsschicht auf den implantierten Bereichen.

Probleme ergeben sich bei diesem Verfahren jedoch dahingehend, daß einerseits die V-förmigen Gräben sehr tief geätzt werden müssen, um einen Anschluß an das Bauelement sicherzustellen und daß ein Schritt zur Rückseitenkontaktimplantation durchgeführt werden muß. Insbesondere werden bei dieser Schrittfolge CMOS-kompatible, CMOS-inkompatible und CMOS-kompatible Schritte hintereinander ausgeführt, was die Fertigung kompliziert macht, da die zu prozessierenden Wafer bei einer Massenfertigung in mehreren verschiedenen Anlagen bearbeitet werden müssen.

Der vorliegenden Erfindung liegt somit die Aufgabe zugrunde, das bekannte Verfahren weiterzubilden, so daß ein vereinfachtes und kostengünstigeres Verfahren zur Herstellung von Rückseitenkontakten bereitgestellt wird. Es ist ferner Aufgabe der vorliegenden Erfindung, ein elektrisches Bauelement mit mindestens einem Rückseitenkontakt bereitzustellen.

Gemäß der vorliegenden Erfindung wird die Aufgabe durch die kennzeichnenden Merkmale von Patentanspruch 1 gelöst. Die Erfindung stellt darüber hinaus ein elektrisches Bauelement nach Anspruch 17 bereit.

Die vorliegende Erfindung betrifft somit ein Verfahren zur Kontaktierung eines elektrischen Bauelements, mit den Schritten zum Bereitstellen eines vollständig prozessierten Bauelements ohne Anschlußmetallisierung auf einem Halbleitersubstrat, Ausbilden von mit elektrisch leitendem Material gefüllten Kontaktlöchern in dem Halbleiter-Substrat, welche gegenüber dem Halbleiter-Substrat elektrisch isoliert sind und mit dem Bauelement elektrisch leitend ver-

bunden sind, und Bereitstellen von Rückseitenkontakten auf der Rückseite des Halbleiter-Substrats, die in elektrischem Kontakt mit den Kontaktlöchern stehen.

Bei dem erfindungsgemäßen Verfahren handelt es sich somit um eine dreidimensionale Integrationstechnik, die frei wählbare Kontakte, die vorzugsweise vertikal sind, zwischen der Bauelementeebene und der Rückseitenmetallisierung realisiert. Die Kontaktierung erfolgt dabei direkt in die hochdotierten Kontaktbereiche der Bauelemente. Weitere Vorteile gegenüber bereits bekannten Verfahren liegen in der vollständig abgeschlossenen Prozessierung der Vorderseite und im Fehlen jeglicher Hochtemperaturprozeßschritte auf der Rückseite.

Gemäß einer bevorzugten Ausführungsform können die Bauelemente vor dem Schritt zum Bereitstellen von Rückseitenkontakten auf der Rückseite des Halbleiter-Substrats beispielsweise unter Verwendung von Kontaktstiften getestet werden, so daß eine effizientere Bearbeitung möglich ist.

Die vorliegende Erfindung wird im folgenden unter Bezugnahme auf die begleitenden Zeichnungen näher erläutert werden.

Fig. 1a zeigt eine schematische Draufsicht auf ein kontaktiertes Bauelement;

Fig. 1b zeigt eine Querschnittsansicht von Fig. 1a entlang der Linie A-A nach dem Schritt zum Ausbilden der Kontaktlöcher;

Fig. 1c zeigt eine Querschnittsansicht von Fig. 1a entlang der Linie A-A nach dem Schritt zum Bereitstellen der Rückseitenkontakte; und

Fig. 2 zeigt eine weitere bevorzugte Ausführungsform, bei der ein sogenannter BESOI-Wafer als Halbleitersubstrat verwendet wird, im Querschnitt.

In Fig. 1 bezeichnet Bezugszeichen 3 ein Halbleiter-Substrat, welches beispielsweise ein Bulk-Siliziumwafer oder auch ein SOI-Wafer sein kann, und Bezugszeichen 8 bezeichnet Komponenten eines fertig prozessierten Bauelements ohne Anschlußmetallisierung in den Kontaktbereichen 9. Ein derartiges Bauelement kann ohne Beschränkung der Allgemeinheit beispielsweise ein elektronischer Schaltkreis, eine beliebige Transistoranordnung, eine Detektoranordnung oder auch ein mikromechanisches Bauelement, beispielsweise ein mikromechanisches Relais sein.

Von diesen Kontaktbereichen 9 ausgehend werden in dem Halbleiter-Substrat 3 Kontaktlöcher 1, sogenannte deep-Vias ("vertikal integrierte Anschlüsse") ausgebildet, beispielsweise durch Lithographie und Plasmaätztechniken. Hierbei können je nach verwendeter Anlagenkonfiguration und Ätzchemie Kontaktlöcher mit einem Verhältnis von Tiefe zu Durchmesser von bis zu 50 : 1 ausgebildet werden. Werden als Halbleiter-Substrat beispielsweise Bulk-Siliziumwafer verwendet, so ist es vorteilhaft, zusätzlich um die Kontaktlöcher 1 eine geschlossene Grabenstruktur 2 zu ziehen, um eine elektrische Isolation gegenüber dem Halbleiter-Substrat zu erzielen. Dies ist in den Fig. 1a und 1b für Kontaktlöcher mit einem quadratischen Querschnitt von $2 \times 2 \mu\text{m}^2$ und einer Tiefe von etwa $15 \mu\text{m}$ gezeigt.

Es sind aber auch alternative Möglichkeiten zur elektrischen Isolation gegenüber dem Halbleiter-Substrat denkbar.

Nach Ätzen der Kontaktlöcher 1 und gegebenenfalls der Grabenstruktur 2 erfolgt ein Schritt zum Abscheiden einer isolierenden Schicht 4, die beispielsweise aus Siliziumdioxid besteht, und einer Haftvermittlungsschicht 5, beispielsweise Titanitrid. Darauf folgend wird das elektrisch leitende Material 6, beispielsweise Wolfram oder Kupfer, als sogenannte Viametallisierung abgeschieden. Diese Metallisierung wird derart ausgeführt, daß eine lunkerfreie Füllung der Kontaktlöcher 1 erfolgt. Die anschließende isotrope

Rückätzung der drei aufgetragenen Schichten führt zu elektrisch isolierten, mit Metall gefüllten Kontaktlöchern. Dieses Verfahren wird detaillierter in der noch unveröffentlichten deutschen Patentanmeldung DE 198 13 239 beschrieben.

Der Kontakt zu dem hochdotierten Kontaktbereich 9 des Bauelements erfolgt darauffolgend mittels einer standardmäßigen Metallisierungssequenz inklusive Lithographie- und Strukturierungsschritte. Beispielsweise wird eine Aluminium-Metallisierung 11 abgeschieden. Im Anschluß daran kann die Bearbeitung der Vorderseite durch Abscheidung von Passivierungsschichten abgeschlossen werden.

An dieser Stelle ist es auch möglich, vor der Herstellung der Rückseitenkontakte die Funktion des Bauelements zu überprüfen.

Zur Herstellung der Rückseitenkontakte kann zur Reduzierung des Flächenbedarfs der Rückseitenkontakte das Halbleiter-Substrat zunächst von der Rückseite her gedünnt und poliert werden. Dies kann bis herunter zu minimalen Dicken von 50 µm erfolgen. Unterhalb von Dicken von 30 µm wird insbesondere eine Siliziumscheibe flexibel, so daß weitere Maßnahmen zur Stabilisierung notwendig werden. Bei dem beschriebenen Ausführungsbeispiel erfolgt das Dünnen bis zu einer Dicke von 100 µm.

Im folgenden wird beispielhaft beschrieben, durch welche Bearbeitungsschritte auf der Rückseite eine Verbindung von Rückseitenkontakten mit den Kontaktlöchern erfolgen kann, so daß der elektrische Kontakt zu den Kontaktbereichen auf der Vorderseite zustande kommt. Dazu werden von der Rückseite des Halbleiter-Substrats abgeschiedene Maskierungsschichten mittels Lithographie und Ätztechniken direkt gegenüber den Kontaktlöchern geöffnet. Das nun freiliegende Silizium kann entweder naßchemisch oder trocken mit bekannten chemischen Prozessen in die Tiefe geätzt werden, bis die Unterseiten der Kontaktlöcher freigelegt sind.

Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung wird beispielsweise ein naßchemischer Ätzschritt mit 33%-iger KOH-Lösung oder Cholin mit einem trockenen plasmainduzierten Ätzschritt kombiniert. Dadurch werden vorteilhafterweise durch den naßchemischen Ätzschritt Öffnungsflanken von 55° zur Scheibenoberfläche der Kristallebene <100> ausgebildet. Die Steuerung des Ätzvorgangs erfolgt mit einer Genauigkeit von ± 5% über die Ätzzeit. Der naßchemische Ätzvorgang wird vorzugsweise vor dem Erreichen der Kontaktlöcher abgebrochen, da sonst die Füllung der Kontaktlöcher angegriffen werden könnte, weil keine ausreichende Selektivität in der Ätzrate zwischen dem Isolationsoxid der Kontaktlöcher und dem Silizium vorhanden ist.

Statt dessen erfolgt der verbleibende Abtrag des Siliziums vorzugsweise mit einem Trockenätzschritt, der eine ausreichende Selektivität zwischen dem Isolationsoxid der Kontaktlöcher und dem abzutragenden Silizium besitzt. Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung kann SF₆ als Fluorträger zum Ätzen von Silizium verwendet werden. Ferner kann in einem zusätzlichen Prozessschritt Plasmaoxid (SiO₂) 13 abgeschieden werden, welches zur elektrischen Isolierung der Öffnungsflanken dient.

Es ist aber gemäß der vorliegenden Erfindung ebenso möglich, den Ätzschritt von der Rückseite her als einen rein anisotropen oder isotropen Ätzschritt durchzuführen. Beispielsweise ist ein isotroper Ätzschritt bei dünnen bzw. gedünnten Halbleiter-Substraten zweckmäßig durchzuführen.

Durch einen nachfolgenden Lithographieschritt mit Strukturierungsprozessen kann der Kontaktbereich 7 zwischen einer darauffolgend aufzubringenden Metallisierung 12 und den Kontaktlöchern 1 definiert werden. Bei Vorhan-

densein von Grabenstrukturen 2 liegt die Öffnung des Plasmaoxids innerhalb der Grabenstruktur 2, damit die Metallisierung 12 keinen Kontakt zum Halbleiter-Substrat 3 erhält. Die Metallisierungsflächen werden abschließend ebenfalls durch Lithographie und Strukturierungsprozesse definiert.

Gemäß der vorliegenden Erfindung kann das Halbleiter-Substrat ein beliebiges Halbleiter-Substrat sein, so auch ein Halbleiter-Substrat mit einer Oxidschicht, beispielsweise einer vergrabenen SiO₂-Schicht, z. B. ein SOI- oder ein BESOI-Substrat ("back etched silicon on insulator") sein. Gemäß der BESOI-Technik werden zwei Wafer unter extrem staubfreien Bedingungen mit ihren polierten Oberflächen zusammengebracht. Dabei sind die beiden Wafer in der Regel mit einer SiO₂-Schicht versehen, die beispielsweise mittels thermischer Oxidation hergestellt werden kann. Die Haftung zwischen den beiden Waferflächen beruht auf der Ausbildung von Wasserstoffbrücken zwischen adsorbierten OH-Gruppen. Bei einer anschließenden Erwärmung der Wafer bilden sich bei etwa 300°C Si-O-Si-Bindungen aus, wobei schließlich bei Temperaturen um 1000°C aufgrund eines viskosen Flusses des Oxids eine feste, von einem gewachsenen Oxid nicht unterscheidbare Verbindung auftritt. Nach dem auf diese Weise durchgeführten Bonden der beiden Wafer kann einer der Wafer mittels üblicher Verfahren gedünnt werden, so daß eine dünne SOI-Nutzschicht unlösbar gebondet mit dem Träger zurückbleibt.

Eine bevorzugte Ausführungsform unter Verwendung eines BESOI-Substrats ist in Fig. 2 gezeigt. In Fig. 2 bezeichnet Bezugszeichen 14 eine BESOI-SiO₂-Schicht, die ungefähr 4 bis 10 µm von der Substratoberfläche entfernt ist. Ansonsten bezeichnen dieselben Bezugszeichen wie in Fig. 1 in Fig. 2 dieselben Komponenten.

Bei Verwendung eines BESOI-Siliziumwafers für die Herstellung der Bauelemente ist die Ausbildung einer Grabenstruktur zur elektrischen Isolation nicht erforderlich, da unter Nutzung des vergrabenen BESOI-Oxids eine elektrische Isolation gegenüber dem Siliziumsubstrat gewährleistet ist. Trotzdem wird auch bei dieser Ausführungsform bei der Prozessierung der Rückseite der Schritt zum Ätzen vorzugsweise als eine Kombination aus einer naßchemischen ersten Stufe und einer trockenen zweiten Stufe durchgeführt.

Patentansprüche

1. Verfahren zur Kontaktierung eines elektrischen Bauelements, mit den Schritten zum

— Bereitstellen eines vollständig prozessierten Bauelements ohne Anschlußmetallisierung auf einem Halbleitersubstrat, gekennzeichnet durch die Schritte zum

— Ausbilden von mit elektrisch leitendem Material gefüllten Kontaktlöchern in dem Halbleiter-Substrat, welche gegenüber dem Halbleiter-Substrat elektrisch isoliert sind und mit dem Bauelement elektrisch leitend verbunden sind,

— Bereitstellen von Rückseitenkontakten auf der Rückseite des Halbleiter-Substrats, die in elektrischem Kontakt mit den Kontaktlöchern stehen.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt zum Ausbilden der Kontaktlöcher die Schritte zum lithographischen Definieren der Kontaktlöcher und zum Plasmaätzen der Kontaktlöcher umfaßt.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Kontaktlöcher mit Wolfram oder Kupfer gefüllt werden.

4. Verfahren nach einem der vorhergehenden Ansprü-

- che, dadurch gekennzeichnet, daß in den Kontaktlöcher zur Isolierung gegenüber dem Halbleiter-Substrat eine SiO_2 -Schicht sowie eine Haftvermittlungsschicht für das elektrisch leitende Material aufgebracht werden.
5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Kontaktlöcher ein Verhältnis von Tiefe zu Durchmesser von bis zu 50 : 1 haben.
6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Kontaktlöcher durch einen Standard-Metallisierungsschritt mit dem Bauelement elektrisch leitend verbunden werden.
7. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch den Schritt zum Aufbringen einer Passivierungsschicht auf der Vorderseite des Bauelements vor dem Schritt zum Bereitstellen von Rückseitenkontakten.
8. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Halbleiter-Substrat ein Bulk-Siliziumwafer ist.
9. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß das Halbleiter-Substrat ein SOI-Wafer ist.
10. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Schritt zum Bereitstellen von Rückseitenkontakten einen Schritt zum Dünnen der Rückseite umfaßt.
11. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Schritt zum Bereitstellen von Rückseitenkontakten einen Schritt zum Ätzen des Halbleiter-Substrats umfaßt, bei dem die Unterseiten der Kontaktlöcher freigelegt werden.
12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß der Schritt zum Ätzen mindestens einen anisotropen Ätzschritt umfaßt.
13. Verfahren nach Anspruch 11 oder 12, dadurch gekennzeichnet, daß der Schritt zum Ätzen einen naßchemischen und einen trockenchemischen Ätzschritt umfaßt.
14. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Schritt zum Bereitstellen von Rückseitenkontakten einen selektiven Metallisierungsschritt umfaßt, bei dem eine Metallisierung in Kontakt mit den Kontaktöffnungen sästuriert aufgebracht wird.
15. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch den Schritt zum Austreten des Bauelements vor dem Schritt zum Bereitstellen von Rückseitenkontakten.
16. Verfahren nach einem der vorhergehenden Ansprüche, gekennzeichnet durch den Schritt zum Ausbilden von Isolationsgräben gleichzeitig mit dem Schritt zum Ausbilden von Kontaktlöchern.
17. Elektrisches Bauelement mit mindestens einem Rückseitenkontakt, der durch das Verfahren nach einem der Ansprüche 1 bis 16 hergestellt ist.

Hierzu 2 Seite(n) Zeichnungen

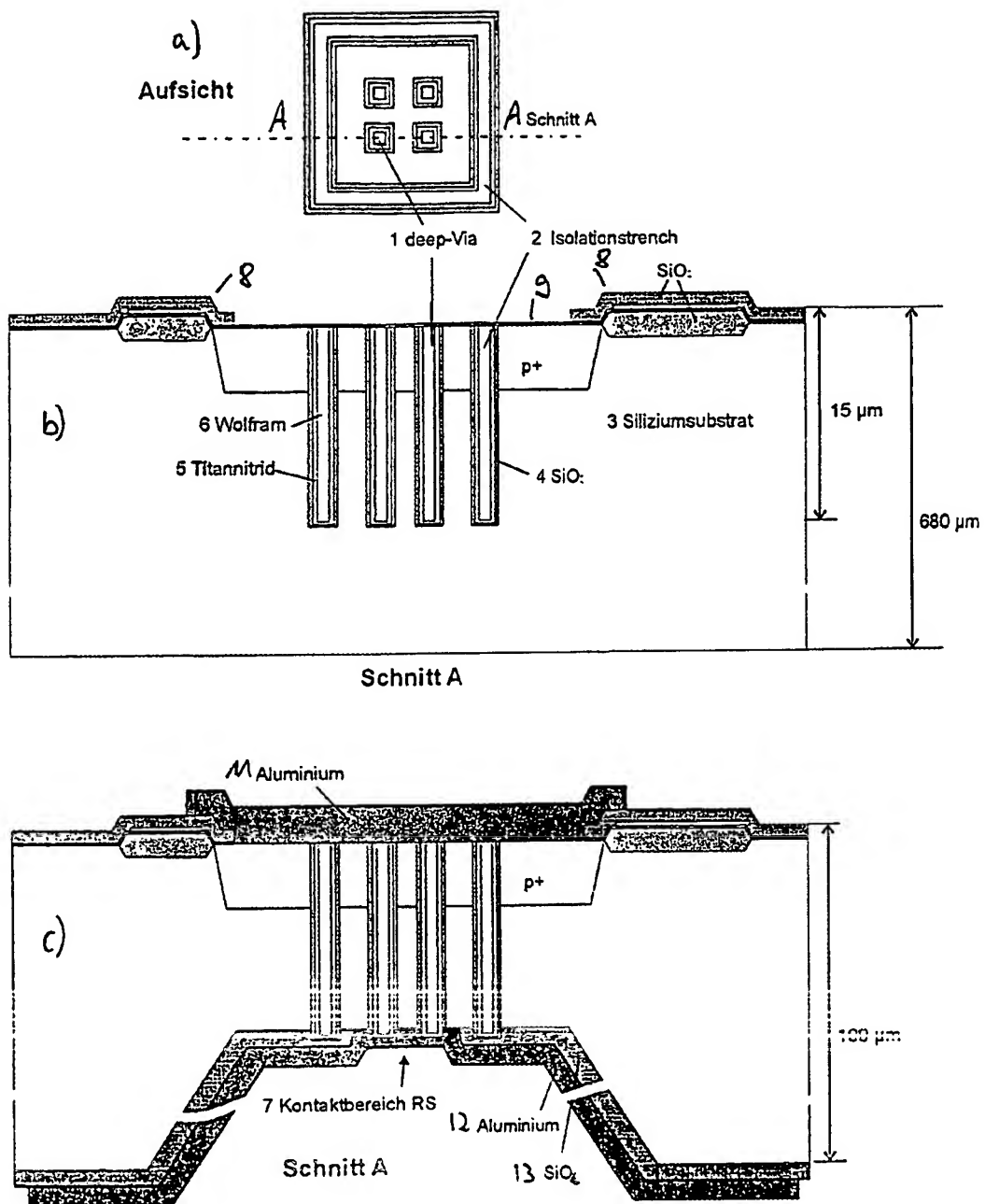


Figure 1

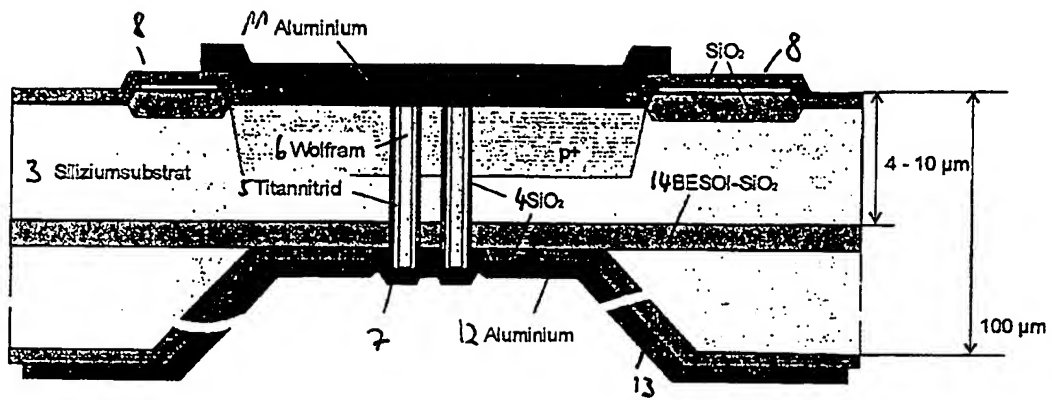


Figure 2: